



# 3

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2001년 제 385 호  
Application Number PATENT-2001-0000385

출원 년 월 일 : 2001년 01월 04일  
Date of Application JAN 04, 2001

출원 인 : 주승기  
Applicant(s) JOO, SEUNG GI

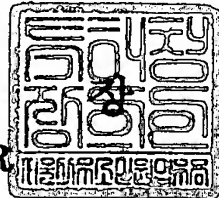
COPY OF PAPERS  
ORIGINALLY FILED



2002 년 01 월 10 일

특 허 청

COMMISSIONER



## 【 서지사항 】

【서류명】	출원인 변경 신고서
【수신처】	특허청장
【제출일자】	2001.11.21
【구명의인】	
【명칭】	피티플러스 (주)
【출원인코드】	1-2000-048823-8
【사건과의 관계】	출원인
【신명의인】	
【성명】	주승기
【출원인코드】	4-1998-023255-9
【대리인】	
【성명】	전영일
【대리인코드】	9-1998-000540-4
【포괄위임등록번호】	2001-001281-1
【대리인】	
【성명】	김제현
【대리인코드】	9-1998-000136-2
【포괄위임등록번호】	2001-001280-4
【사건의 표시】	
【출원번호】	10-2001-0000385
【출원일자】	2001.01.04
【심사청구일자】	2001.01.04
【발명(고안)의 명칭】	반도체 소자 제조 방법 및 장치
【사건의 표시】	
【출원번호】	10-2001-0003463
【출원일자】	2001.01.20
【심사청구일자】	2001.01.20
【발명(고안)의 명칭】	실리콘 박막 결정화 방법
【사건의 표시】	
【출원번호】	10-2001-0003464
【출원일자】	2001.01.20
【심사청구일자】	2001.01.20

**【발명(고안)의 명칭】** 결정질 활성층을 포함하는 박막트랜지스터 제작 방법 및 장치  
**【사건의 표시】**  
**【출원번호】** 10-2001-0016922  
**【출원일자】** 2001.03.30  
**【심사청구일자】** 2001.03.30  
**【발명(고안)의 명칭】** 실리콘 박막의 결정화 방법 및 이를 이용한 박막트랜지스터 제조 방법  
**【사건의 표시】**  
**【출원번호】** 10-2001-0016923  
**【출원일자】** 2001.03.30  
**【심사청구일자】** 2001.03.30  
**【발명(고안)의 명칭】** 결정질 실리콘 활성층을 포함하는 박막트랜지스터의 제조 방법  
**【사건의 표시】**  
**【출원번호】** 10-2001-0016924  
**【출원일자】** 2001.03.30  
**【심사청구일자】** 2001.03.30  
**【발명(고안)의 명칭】** 실리콘 박막의 결정화 방법 및 이를 이용한 반도체 소자 제조 방법  
**【사건의 표시】**  
**【출원번호】** 10-2001-0039684  
**【출원일자】** 2001.07.04  
**【심사청구일자】** 2001.07.04  
**【발명(고안)의 명칭】** 실리콘 박막의 결정화 방법 및 이를 이용한 반도체 소자 제조 방법  
**【변경원인】** 전부양도  
**【취지】** 특허법 제38조4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조제1항의 규정에 의하여 위와 같이 신고합니다. 대리인  
전영일 (인) 대리인  
김제현 (인)  
**【수수료】** 91,000 원  
**【첨부서류】** 1. 양도증\_1통 2. 인감증명서\_1통 3. 위임장\_1통[양수인]

## 【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【제출일자】 2001.01.04  
 【발명의 명칭】 반도체 소자 제조 방법 및 장치  
 【발명의 영문명칭】 METHOD AND APPARATUS FOR FABRICATING A SEMICONDUCTOR DEVICE

## 【출원인】

【명칭】 피티플러스 (주)  
 【출원인코드】 1-2000-048823-8

## 【대리인】

【성명】 전영일  
 【대리인코드】 9-1998-000540-4

## 【발명자】

【성명의 국문표기】 주승기  
 【성명의 영문표기】 J00, Seung Gi  
 【주민등록번호】 520904-1005313  
 【우편번호】 137-070  
 【주소】 서울특별시 서초구 서초동 삼풍아파트 22동 201호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 이석운  
 【성명의 영문표기】 LEE, Seok Woon  
 【주민등록번호】 670618-1001418  
 【우편번호】 422-710  
 【주소】 경기도 부천시 소사구 송내1동 우성아파트 2동 402호  
 【국적】 KR

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
 전영일 (인)

**【수수료】**

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	29,000	원		
------	--------	---	--	--

【감면사유】	중소기업			
--------	------	--	--	--

【감면후 수수료】	14,500	원		
-----------	--------	---	--	--

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 중소기업법시행령 제2조에 의한 중소기업에 해당함을 증명하는 서류 \_1통 3. 위임장\_1통

**【요약서】****【요약】**

본 발명은 결정질 실리콘을 포함하는 반도체 소자를 제조할 때, 비정질 실리콘층을 결정화시키기 위한 금속 박막을 증착하는 방법 및 장치에 관한 것이다.

본 발명에 따르면, 비정질 실리콘을 결정화시키기 위한 금속 박막을 증착하는 동안에 기판을 가열함으로써, 증착 중에 비정질 실리콘과 접하는 금속 박막은 금속 실리사이드로 반응하도록 하고, 실리콘 산화막에 접하는 금속 박막은 금속 상태 그대로 존재하게 한다.

이로써, 증착 후에 금속 실리사이드를 형성하지 않은 금속 상태의 금속 박막을 선택적으로 제거할 수 있게 되며, 증착 후 대기 중에 노출되었을 때도 비정질 실리콘 위의 금속 박막은 실리사이드 형태로 존재하기 때문에 산화가 일어나지 않으므로, 소자의 특성을 개선할 수 있다.

**【대표도】**

도 2e

**【색인어】**

금속 유도 측면 결정화(Metal Induced Lateral Crystallization: MILC), 박막 트랜지스터(Thin Film Transistor: TFT), 금속 박막, 비정질(amorphous) 실리콘층

**【명세서】**

**【발명의 명칭】**

반도체 소자 제조 방법 및 장치{METHOD AND APPARATUS FOR FABRICATING A SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1a 내지 도 1g는 종래의 금속 유도 측면 결정화(MILC) 기술에 따른 박막 트랜지스터(TFT) 제조 공정의 단면도.

도 2a 내지 도 2f는 본 발명의 바람직한 실시예에 따른 반도체 소자 제조 공정의 단면도.

도 3a 내지 도 3c는 본 발명의 다른 실시예들에 따른 반도체 소자 제조 공정의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

20 : 기판

21 : 비정질 실리콘층

22 : 게이트 절연층

23 : 게이트 전극

24 : 금속 실리사이드

25 : 금속 박막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 소자 제조 방법 및 장치에 관한 것으로서, 특히 결정질 실리콘을 포함하는 반도체 소자를 제조할 때 비정질 실리콘층을 결정화시키기 위한 금속 박막을 증착하는 방법 및 장치에 관한 것이다.

<12> LCD(Liquid Crystal Display), OLED(Organic electroluminescent Light-Emitting Diode) 등의 디스플레이 장치에 사용되는 박막 트랜지스터와 같은 반도체 소자는, 통상적으로 유리, 석영 등의 투명 기판에 실리콘층을 증착시키고, 게이트 절연막 및 게이트 전극을 형성한 후, 소스 및 드레인에 도펀트를 주입하고 어닐링 처리를 하여 활성화시킨 후, 절연층을 형성함으로써 구성된다.

<13> 이 때, 박막 트랜지스터의 소스, 드레인 및 채널을 구성하는 활성층은 통상 유리 등의 투명 기판 상에 화학 기상 증착(Chemical Vapour Deposition: CVD) 방법을 사용하여 실리콘층을 증착시킴으로써 형성된다. 이와 같은 CVD 등의 방법에 의하여 직접 기판에 증착된 실리콘층은 비정질 실리콘층으로서 낮은 전자 이동도(electron mobility)를 가진다. 그러나, 박막 트랜지스터를 사용하는 디스플레이 장치가 빠른 동작 속도를 요하고 소형화됨에 따라, 구동 IC(Integrated Circuit)의 집적도가 커지고 화소 영역의 개구율이 감소되기 때문에, 실리콘층의 전자 이동도를 높여 구동 IC를 화소 TFT와 동시에 형성하고 개개의 화소 개구율을 높일 필요가 있다. 이를 위하여, 비정질 실리콘층을 열처리하여 높은 전자



이동도를 가지는 다결정 구조의 폴리 실리콘층, 즉 다결정 실리콘층으로 결정화하는 기술이 사용되고 있다.

<14> 이러한 다결정 실리콘층을 얻기 위해서는, 잘 알려진 바와 같이, 증착된 비정질 실리콘층을 대략 600℃ 이상의 온도에서 열처리를 하여야 한다. 하지만, 액정 표시 소자를 구동하는 소자로서 사용되는 다결정 실리콘 박막 트랜지스터는 유리 기판 위에 형성시켜야 하기 때문에, 열처리 온도는 유리 기판의 변형 온도 이하인 대략 600℃ 이하의 저온이어야 한다. 따라서, 이러한 문제를 해결하기 위하여 다음과 같은 두 방향으로의 연구가 진행되어 왔다.

<15> 첫 번째 방향은 비정질 실리콘층에 레이저(laser)를 조사하여 그 일부를 용융시켜 결정화시키는 방법이다. 이 방법은 기판의 온도는 많이 올리지 않고, 실리콘층의 일부만을 가열하는 방법이므로, 기판의 변형없이 결정화가 가능하기는 하나 결정화의 비균일성, 고가의 제조 원가, 수율 저하 등의 문제가 있다.

<16> 두 번째 방향은 금속 박막을 비정질 실리콘층에 증착함으로써, 결정화 온도를 500℃ 이하로 낮추는 금속 유도 측면 결정화(Metal Induced Lateral Crystallization; MILC) 방법이다. 이 방법은 금속 박막을 비정질 실리콘층의 주변, 예를 들어 상부 또는 측부에 증착한 후에 가열로(furnace)에서 열처리를 하여 비정질 실리콘을 결정화시킨다. 이 방법에 따르면, 레이저 조사 방법의 문제인 결정화의 비균일성, 수율 저하 등의 문제를 해결할 수 있다.

<17> 도 1a 내지 도 1f는 금속 박막을 비정질 실리콘의 측부에 증착하여 가열함으로써 비정질 실리콘을 결정화시키는 금속 유도 측면 결정화법(MILC)을 사용하여 박막트랜지스터를 제조하는 종래 공정의 단면도이다.

<18> 먼저, 기판(10) 상에 비정질 실리콘층(11)을 형성한 후에 [도 1a], 게이트 절연막(12)과 게이트 전극(13)을 형성한다 [도 1b]. 그 다음에, 소스와 드레인을 형성하기 위하여 게이트 전극(13)을 마스크로 하여  $\text{PH}_3$ ,  $\text{B}_2\text{H}_6$  등을 도펀트로서 사용함으로써 인, 붕소 등의 불순물을 도핑(doping)한다 [도 1c]. 이어서, 결정화 유도용 금속 박막으로서 니켈(14)을 증착한다 [도 1d]. 그 후, 비정질 실리콘의 결정화와 불순물의 활성화를 위한 열처리를 진행한다 [도 1e]. 이때, 열처리 전 또는 후에 불필요한 부분의 표면, 인용부호 141, 142, 143으로 지칭된 영역에 남아 있는 니켈을 제거한다. 도 1d에서 인용부호 141, 142, 143으로 지칭된 영역은 서로 구분되게 도시되어 있지만, 이 것은 단지 설명의 편의를 위한 것이며, 실제로는 3개의 영역(141, 142, 143)이 모두 일체로 되어 있다. 이 것은 도 1e의 영역 151, 152, 153에서도 마찬가지이다. 이어서, 최종 구조물 위에 콘택트 홀(Contact hole)을 형성할 덮개막(16)을 실리콘 산화막이나, 질화막 등을 이용하여 형성한다 [도 1f]. 그 후, 콘택트 홀에 금속 배선(17)을 형성한다 [도 1g].

<19> 상기한 바와 같이, 도 1a 내지 도 1g에 도시한 종래 기술에서는, 니켈(14)이 기판의 전 영역에 증착되고, 열처리 도중에 그 하부층에 있는 물질과 반응을 하게 된다. 따라서, 도 1d에 도시된 영역 1(141)과 영역 2(142) 및 영역 3(143)에 있는 니켈층은 비정질 실리콘의 결정화의 불순물의 활성화를 위한 열처리 과정에 의하여 게이트 전극, 비정질 실리콘, 기판 등과 같은 하부층과 반응하여 도 1e에 도시한 영역 1(151)과 영역 2(152) 및 영역 3(153)에 있는 니켈 실리콘이드를 형성한다. 여기서, 열처리 후에 영역 1(151) 및 영역 3(153)의 니켈 실리콘

사이드는 제거할 필요가 있으나, 이들은 하부층과 반응을 하여 니켈 실리사이드를 형성하고 있기 때문에 제거가 용이하지 않은 문제가 있다.

- <20> 또한, 도 1a 내지 도 1g의 종래 기술에서는, 니켈(14)을 증착한 후 열처리하기 전에 TFT가 대기 중에 노출된다. 이 때, 니켈의 산화가 일어날 수 있으며, 이로 인해 MILC 현상의 저해 및 TFT 특성 저하가 초래된다.

**【발명이 이루고자 하는 기술적 과제】**

- <21> 본 발명은 이러한 문제를 해결하기 위한 것으로서, 비정질 실리콘층을 결정화시키기 위한 금속 박막을 증착할 때, 불필요한 부분에 형성되어 있는 금속 박막을 용이하게 제거할 수 있고, 금속 박막의 산화를 방지할 수 있는 반도체 소자 제조 방법 및 장치를 제공하는 것을 그 목적으로 하고 있다.

**【발명의 구성 및 작용】**

- <22> 다음으로, 본 발명의 바람직한 실시예에 따른 반도체 소자 제조 방법 및 장치에 대해 설명한다.

- <23> 도 2a 내지 도 2f는 본 발명의 바람직한 실시예에 따른 반도체 소자 제조 공정의 단면도이다. 먼저, 기판(20) 상에 비정질 실리콘층(21)을 형성한다 [도 2a]. 기판(20)은 코닝 1737 유리, 석영 또는 산화 실리콘 등의 투명 절연 물질로 구성될 수 있다. 선택적으로, 기판(20) 위에 하부 절연층 (도시 생략)이 형성될 수 있다. 하부 절연층은 산화실리콘( $\text{SiO}_2$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 산화질화물( $\text{SiO}_x\text{Ny}$ ) 또는 이들의 복합층을 PECVD (plasma-enhanced chemical vapor deposition), LPCVD

(low-pressure chemical vapor deposition), APCVD (atmosphere pressure chemical vapor deposition), ECR CVD (Electron Cyclotron Resonance CVD) 등의 증착법을 이용하여 대략 600°C 이하의 온도에서 300 내지 10,000 Å, 양호하게는 500 내지 3,000 Å 두께로 증착시킴으로써 형성될 수 있다. 비정질 실리콘층(21)은 PECVD, LPCVD 또는 스퍼터링을 이용하여 비정질 실리콘을 100 내지 3,000 Å, 양호하게는 500 내지 1,000 Å 두께로 증착시킴으로써 형성될 수 있다. 이러한 비정질 실리콘층(21)은 TFT의 활성층을 구성하게 되며, 소스, 드레인 및 채널 영역을 포함하고 추후에 형성될 기타 소자/전극 영역을 포함할 수 있다.

<24> 그 후, 기판(20)과 비정질 실리콘층(21) 상에 게이트 절연층(22)과 게이트 전극(23)을 형성하고 원하는 형태로 식각한다 [도 2b]. 게이트 절연층(22)은 PECVD, LPCVD, APCVD, ECR CVD 등의 증착법을 이용하여 산화 실리콘, 실리콘 질화물(SiNx), 실리콘 산화질화물(SiOxNy) 또는 이들의 복합층을 300 내지 3,000 Å, 양호하게는 500 내지 1,000 Å 두께로 증착시켜 형성될 수 있다. 게이트 전극(23)은 게이트 절연층(22) 상에 금속 재료 또는 도핑된 폴리실리콘 등의 도전성 재료를 스퍼터링, 가열 증발(evaporation), PECVD, LPCVD, APCVD, ECR CVD 등의 방법을 사용하여 1,000 내지 8,000 Å, 양호하게는 2,000 내지 4,000 Å 두께로 증착함으로써 형성될 수 있다.

<25> 이어서, 게이트 전극(23)을 마스크로 사용하여 활성층의 소스 및 드레인 영역을 도핑한다 [도 2c]. 예를 들어, N-MOS TFT를 제조하는 경우에는 이온 샤워도

핑 또는 이온 주입법을 사용하여  $\text{PH}_3$ , P, As 등의 도펀트를 대략 10~200 KeV (양호하게는 30~100 KeV)의 에너지로 대략  $1 \times 10^{11} \sim 1 \times 10^{22}/\text{cm}^3$  (양호하게는  $1 \times 10^{15} \sim 1 \times 10^{21}/\text{cm}^3$ )의 도우즈로 도핑하고, P-MOS TFT를 제조하는 경우에는  $\text{B}_2\text{H}_6$ , B,  $\text{BH}_3$  등의 도펀트를 대략 20~70 KeV의 에너지로 대략  $1 \times 10^{11} \sim 1 \times 10^{22}/\text{cm}^3$  (양호하게는  $1 \times 10^{14} \sim 1 \times 10^{21}/\text{cm}^3$ )의 도우즈로 도핑할 수 있다. 드레인 영역에 예를 들어 약하게 도핑된 영역 또는 오프셋 영역이 있는 접합부를 형성할 때는 도면에 나타낸 상태에서 저에너지 고농도 도핑과 고에너지 저농도 도핑을 실시하여 형성이 가능하며, CMOS를 형성하는 경우에는, 추가의 마스크를 이용한 여러 차례의 도핑 공정이 필요함은 자명하다.

<26> 다음에, 비정질 실리콘층을 다결정 실리콘층으로 결정화시키기 위하여 니켈 등과 같은 금속 박막(25)을 형성함과 동시에 기판을 가열한다 [도 2d]. 이 때, 가열 온도는  $200^\circ\text{C}$  이상이며 절연기판의 변형온도인  $650\sim 700^\circ\text{C}$  이하인 것이 바람직하다. 기판을 가열하는 방법으로 금속 증착과 기판 가열을 동시에 실행할 수 있는 임의의 방법을 사용할 수 있으나, 통상 기판을 고온체와 접촉시켜 가열하는 전도법과 고온 램프에 의하여 가열하는 복사법이 사용된다. 본 발명에서 금속 기판은 예를 들어 저압 화학 증착법, 상압 화학 증착법, PE(Plasma Enhanced) CVD, 스퍼터링법, 증기증착법(evaporation) 등의 방법을 사용하여 20Å 정도의 두께로 형성된다. 이상의 설명에서 MILC를 유도하는 금속을 니켈로 한정하여 설명하였으나, MILC를 유도하는 금속 박막은 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Cr, Mo, Ti, Tr, Ru, Rh, Cd 및 Pt로 구성된 그룹 중의 적어도 하나 또는 이들의 조합으로 이루어질 수 있다.

<27> 본 발명에서는, 도 1a 내지 도 1g에 도시한 종래 기술과 달리 금속 박막을 증착하는 동안에만 비교적 단시간 기판이 가열되므로, 니켈과 같은 금속 박막을 증착하는 공정 중에 비정질 실리콘과 접하는 부분의 니켈만이 실리콘과 반응하여 니켈 실리사이드(24)를 형성하게 된다. 통상 비정질 실리콘은 금속 박막을 증착한 후 이하에서 설명하는 바와 같이 별도의 결정화 열처리 공정을 통하여 결정화되나, 금속 증착 공정의 온도 및 소요 시간에 따라 금속 증착 과정 중에 비정질 실리콘의 결정화가 일부 진행될 수 있다. 그러나, 기판(20), 게이트 절연막(22)의 실리콘 산화막과 접하는 부분의 니켈은 실리콘과 반응하여 실리사이드를 형성하는 경우에 비하여 실리콘 산화막과 반응하여 실리사이드를 형성하는 것이 더욱 큰 반응 에너지를 필요로 하기 때문에 니켈층을 형성하는 과정에서의 가열만으로는 실리사이드를 형성하지 못하고 금속 상태의 니켈(25)이 그대로 남아 있게 된다.

<28> 한편, 금속 박막(25)의 피착시에는, 패터닝이 필요하지 않도록 기판과 반도체 소자의 전체 표면에 수 Å의 두께로 금속 박막을 형성할 수도 있고, 금속 박막(25)과 게이트(22, 23) 사이의 거리를 두는 오프셋(offset)을 적용할 수도 있다. 오프셋을 적용하는 경우, 소스와 드레인 영역에서의 오프셋 거리가 동일한 경우와 상이한 경우가 모두 가능하다.

<29> 이어서, 금속을 제거해야 하는 부분, 즉 영역 1 및 3의 니켈(25)을 에칭액을 사용하여 제거하고, 비정질 실리콘의 결정화와 불순물의 활성화를 위한 열처리를 진행한다 [도 2e]. 이 때, 영역 1 및 3의 니켈(25)은 금속 상태로 남아 있었으므로 에칭액에 의해 완전히 제거될 수 있다. 또한, 니켈을 증착한 후에 비

정질 실리콘의 결정화와 불순물의 활성화를 위한 열처리를 위하여 대기 중에 노출되었을 때에도, 비정질 실리콘 상의 니켈은 이미 니켈 실리사이드(25)로 반응한 이후이므로, 니켈이 산화될 가능성이 없다. 따라서, 본 발명에 따르면 니켈의 산화에 의해 일어나는 문제점을 해결할 수 있다.

<30>        그 후, 도 2f에 도시한 바와 같이, 절연층으로서 덮개막(26)을 형성하고, 그 일부를 제거하여 한 후에 전압 인가를 위한 금속 배선(27)을 형성함으로써, 본 발명에 따른 박막트랜지스터를 완성한다.

<31>        도 3a 내지 도 3c는 본 발명의 다른 실시예들에 따라 금속 박막을 증착하는 공정을 도시한 단면도이다.

<32>        도 3a는 금속 유도 결정화(MIC)에 의해 비정질 실리콘을 결정화하는 경우를 예시한 도면으로서, 기판(20) 위에 비정질 실리콘층(21)을 적층한 후, 그 위에 금속 박막(25)을 적층하는 경우를 예시하고 있다.

<33>        도 3b는 기판(20) 위에 비정질 실리콘층(21) 및 절연막(30)을 증착하고, 이 절연막(30)의 일부를 에칭한 후에 금속 박막(25)을 적층하는 경우를 예시하고 있다.

<34>        도 3c는 기판(20) 위에 비정질 실리콘층(21), 게이트 절연층(22), 게이트 전극(23) 및 덮개층(26)을 형성한 후, 덮개층(27)의 일부를 제거하여 콘택트 홀을 형성하고 그 내부에 금속 박막(25)을 증착하는 경우를 예시한다.

<35>        도 3a 내지 도 3c에 도시한 실시예들의 경우에도, 도 2a 내지 도 2f에 도시한 실시예와 마찬가지로, 금속 박막을 증착하는 단계에서 가열이 수행된다. 도

3a 내지 도3c와 같은 실시예를 사용하는 경우에도 금속이 비정질 실리콘과 접하는 부분에서만 금속의 증착 과정에서 실리콘과 반응하여 실리사이드를 형성하게 되고 나머지 부분에서는 증착된 금속 물질이 실리사이드를 형성하지 않게 된다. 따라서, 도3의 실시예의 경우에도 실리사이드를 형성하지 않은 금속 부분을 에칭에 의하여 용이하게 제거할 수 있고, 결정화 유도 금속이 비정질 실리콘과 반응하여 실리사이드를 형성하므로 금속이 증착된 후 결정화 열처리 단계 이전에 대기에 노출되어 산화되는 문제를 방지하는 본원 발명의 효과를 얻을 수 있다.

#### 【발명의 효과】

<36>      상기한 바와 같이, 본 발명에 따르면, 비정질 실리콘을 결정화시키기 위한 금속 박막을 증착하는 동안에 기판을 가열함으로써, 증착 중에 비정질 실리콘과 접하는 금속 박막은 금속 실리사이드로 반응하도록 하여 증착 중에 MIC를 진행시키고, 실리콘 산화막에 접하는 금속 박막은 금속 상태 그대로 존재하게 할 수 있다. 따라서, 증착 후에 불필요한 부분의 금속 박막을 선택적으로 제거할 수 있으며, 증착 후 대기 중에 노출되었을 때도 비정질 실리콘 위의 금속 박막은 실리사이드 형태로 존재하기 때문에 산화가 일어나지 않으므로, MIC 혹은 MILC 현상을 향상시킬 수 있으며 박막트랜지스터 특성을 개선할 수 있다.

<37>      이상, 본 발명의 바람직한 실시예에 대해 설명하였으나, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상에 기초한 다양한 수정례 및 변형례도 본 발명의 범주에 속할 수 있다.



**【특허청구범위】****【청구항 1】**

결정질 실리콘층을 포함하는 반도체 소자를 제조하는 방법에 있어서,  
기판을 준비하는 단계,  
상기 기판 위에 비정질 실리콘층을 형성하는 단계, 및  
상기 비정질 실리콘층의 적어도 일부에 금속 박막을 증착하는 동시에 상기  
기판을 가열하는 단계  
를 포함하는 반도체 소자 제조 방법.

**【청구항 2】**

제1항에 있어서, 상기 금속 박막은 니켈, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu,  
Co, Cr, Mo, Ti, Tr, Ru, Rh, Cd 및 Pt로 구성된 그룹 중의 적어도 하나 또는 이  
들의 조합으로 이루어지는 반도체 소자 제조 방법.

**【청구항 3】**

제1항에 있어서, 상기 증착 및 가열 단계에서의 가열 온도는 200-700℃ 의  
범위인 반도체 소자 제조 방법.

**【청구항 4】**

제1항에 있어서, 상기 금속 박막은 스퍼터링, 증기 증착법, 전자빔 증기 증  
착법, 화학 증기 증착법 중의 어느 하나에 의해 또는 이들의 조합에 의하여 증착  
되는 반도체 소자 제조 방법.

**【청구항 5】**

제1항에 있어서, 상기 기판의 가열 단계가 열 전도나 복사 현상을 이용하는 반도체 소자 제조 방법.

**【청구항 6】**

제1항에 있어서, 상기 증착 및 가열 단계에서, 상기 비정질 실리콘층과 상기 금속 박막이 접하는 부분이 금속 실리사이드를 형성하는 반도체 소자 제조 방법.

**【청구항 7】**

제6항에 있어서, 상기 금속 실리사이드를 형성하지 않고 금속 상태로 남아 있는 금속 박막을 제거하는 단계를 더 포함하는 반도체 소자 제조 방법.

**【청구항 8】**

제1항에 있어서, 상기한 증착 및 가열 단계에서, 상기 금속 박막에 의해 상기 비정질 실리콘층의 금속 유도 결정화가 일어나는 반도체 소자 제조 방법.

**【청구항 9】**

제1항 내지 제8항 중 어느 한 항에 있어서, 상기 증착 및 가열 단계 이후에, 상기 비정질 실리콘층을 열처리하여 결정질 실리콘층으로 결정화시키는 단계를 더 포함하는 반도체 소자 제조 방법.

**【청구항 10】**

제1항 내지 제8항 중 어느 한 항에 있어서, 상기 증착 및 가열 단계는,

상기 기판 및 상기 비정질 실리콘층 위에 절연막을 형성하는 단계,  
상기 비정질 실리콘층 위에 있는 절연막의 적어도 일부를 제거하는 단계,  
및  
상기 비정질 실리콘층에서 상기 절연막이 제거된 부분에 금속 박막을 증착  
함과 동시에 상기 기판을 가열하는 단계  
를 포함하는 반도체 소자 제조 방법.

**【청구항 11】**

결정질 실리콘층을 포함하는 반도체 소자를 제조하는 장치에 있어서,  
기판 위에 비정질 실리콘층을 형성하는 수단, 및  
상기 비정질 실리콘층의 적어도 일부에 금속 박막을 증착함과 동시에 상기  
기판을 가열하는 수단  
을 포함하는 반도체 소자 제조 장치.

**【청구항 12】**

제11항에 있어서, 상기 금속 박막은 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu,  
Co, Cr, Mo, Ti, Tr, Ru, Rh, Cd 및 Pt로 구성된 그룹 중의 적어도 하나 또는 이  
들의 조합으로 이루어지는 반도체 소자 제조 장치.

**【청구항 13】**

제11항에 있어서, 상기 가열 수단은 200-700℃ 범위의 온도도 상기 기판을  
가열하는 반도체 소자 제조 장치.

【청구항 14】

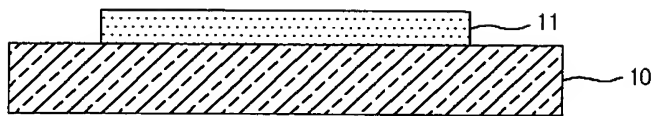
제11항에 있어서, 상기 금속 박막은 스퍼터링, 증기 증착법, 전자빔 증기 증착법, 화학 증기 증착법 중의 어느 하나에 의해 또는 이들의 조합에 의하여 증착되는 반도체 소자 제조 장치.

【청구항 15】

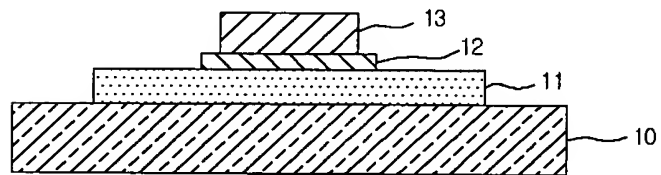
제11항에 있어서, 상기 기판을 가열하는 수단은 열 전도나 복사 현상을 이용하는 반도체 소자 제조 장치.

【도면】

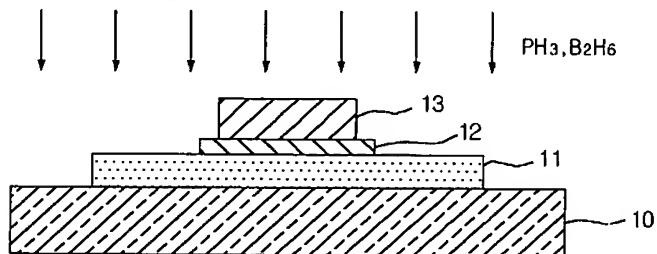
【도 1a】



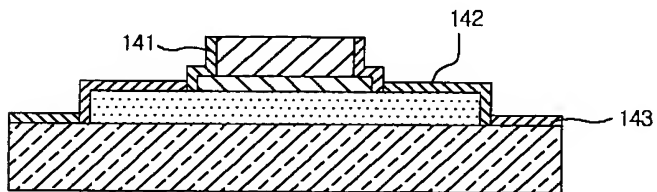
【도 1b】



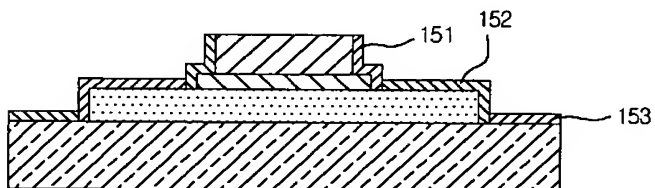
【도 1c】



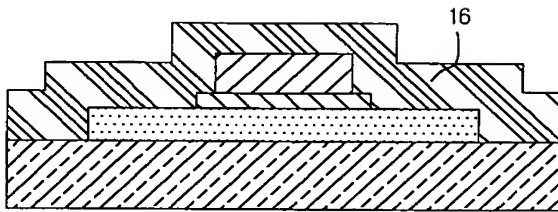
【도 1d】



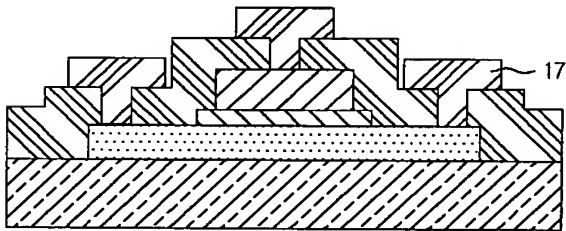
【도 1e】



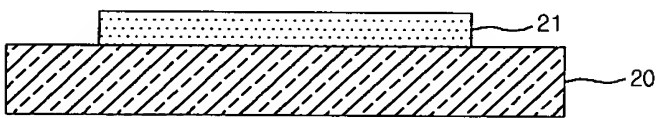
【도 1f】



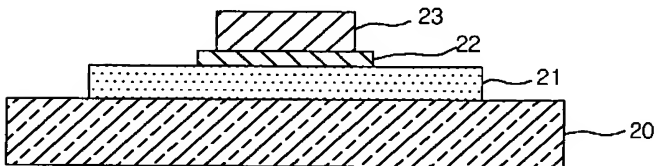
【도 1g】



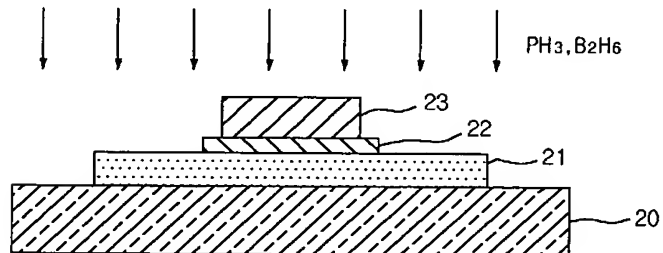
【도 2a】



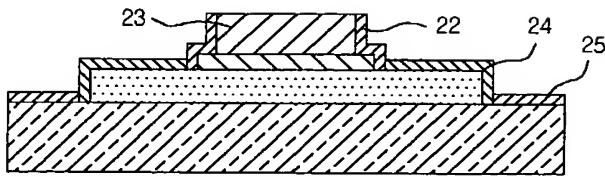
【도 2b】



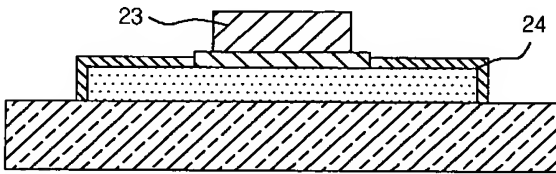
【도 2c】



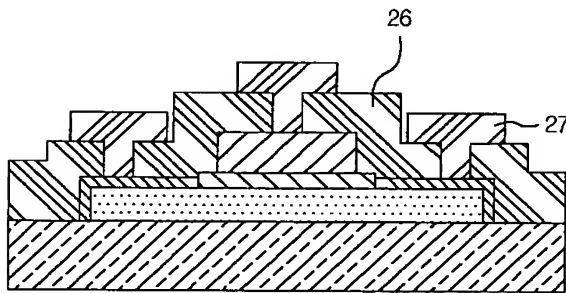
【도 2d】



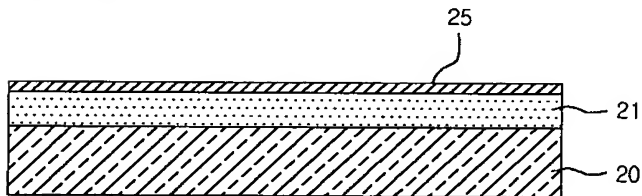
【도 2e】



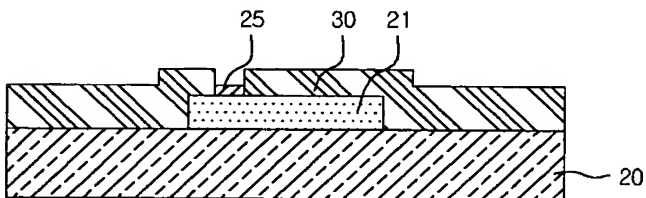
【도 2f】



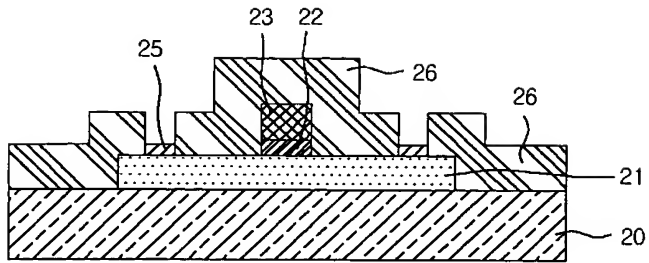
【도 3a】



【도 3b】



【도 3c】





	<b>【서지사항】</b>
<b>【서류명】</b>	서지사항 보정서
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2001.02.21
<b>【출원인】</b>	
<b>【명칭】</b>	피티플러스 (주)
<b>【출원인코드】</b>	1-2000-048823-8
<b>【사건과의 관계】</b>	출원인
<b>【대리인】</b>	
<b>【성명】</b>	전영일
<b>【대리인코드】</b>	9-1998-000540-4
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2001-0000385
<b>【출원일자】</b>	2001.01.04
<b>【심사청구일자】</b>	2001.01.08
<b>【발명의 명칭】</b>	반도체 소자 제조 방법 및 장치
<b>【제출원인】</b>	
<b>【발송번호】</b>	1-5-2001-0010097-17
<b>【발송일자】</b>	2001.02.09
<b>【보정할 서류】</b>	특허출원서
<b>【보정할 사항】</b>	
<b>【보정대상 항목】</b>	첨부서류
<b>【보정방법】</b>	제출
<b>【보정내용】</b>	
<b>【첨부서류】</b>	1. 기타첨부서류_1통[법인등기부등본]
<b>【취지】</b>	특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인 전영일 (인)
<b>【수수료】</b>	
<b>【보정료】</b>	0 원
<b>【기타 수수료】</b>	0 원
<b>【합계】</b>	0 원
<b>【첨부서류】</b>	1. 기타첨부서류_1통[법인등기부등본]